

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-63989

(43) 公開日 平成9年(1997) 3月7日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/28		H 0 1 L	L
	21/306			D
	21/768			C
				D

審査請求 有 請求項の数11 F D (全 11 頁)

(21) 出願番号 特願平7-233342

(22) 出願日 平成7年(1995) 8月18日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 北畑 秀樹

東京都港区芝五丁目7番1号 日本電気株式会社内

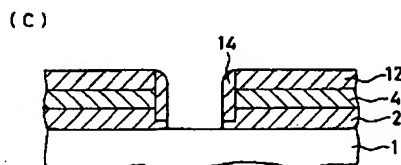
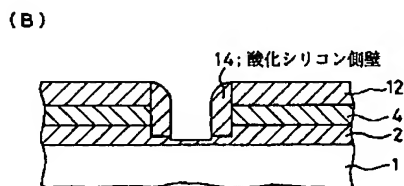
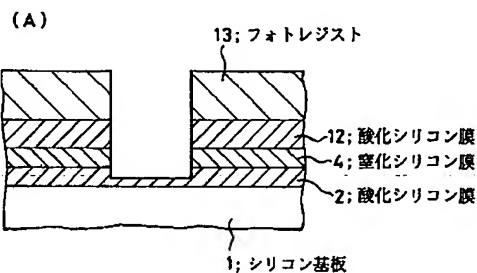
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 2種以上の絶縁膜から成る多層絶縁膜にコンタクトホールを開く際、エッチングダメージを軽減するためにウェットエッチを行なってもコンタクト側面に凹凸がでず信頼性の高いコンタクト形成を可能にする。

【解決手段】 SiO_2 膜12/ SiN 膜4/ SiO_2 膜2の3層膜にコンタクトホールを開く際、最下層の SiO_2 膜2の途中までを異方性ドライエッチングで開口した後、コンタクトホール側面に最下層と同種の SiO_2 で側壁14を形成し、その後、バッファード弗酸で SiO_2 をウェットエッチングしてコンタクト面を露出させる。この時、コンタクトホール側面に凹凸が形成されないため、バリアメタルのカバレッジを損うことなくスパッタリング法で形成することができる。その後メタルプラグ、配線メタルを形成してコンタクトを完成させる。



1

【特許請求の範囲】

【請求項1】絶縁膜を複数層積層してなる多層絶縁膜に開口したコンタクトホール側の側面に、前記多層絶縁膜の最下層を構成する絶縁膜の一部又は全部を除き前記多層絶縁膜を覆う絶縁膜側壁を備えたことを特徴とする半導体装置。

【請求項2】前記絶縁膜側壁が前記多層絶縁膜の最下層を構成する絶縁膜と同種の絶縁膜からなることを特徴とする請求項1記載の半導体装置。

【請求項3】半導体基板上に二種以上の絶縁膜を複数層積層してなる多層絶縁膜を有し、前記多層絶縁膜を貫き前記半導体基板に達するコンタクトホールが開口されてなる半導体装置において、

前記コンタクトホールの側面部のうち、前記多層絶縁膜の最下層を構成する第一の絶縁膜の一部又は全部を除いた部分が前記第一の絶縁膜と同種の絶縁膜から成る絶縁膜側壁で覆われていることを特徴とする半導体装置。

【請求項4】半導体基板上に二種以上の絶縁膜を複数層積層してなる多層絶縁膜を有し、前記多層絶縁膜を前記半導体基板に達するように開口してなるコンタクトホールの側面が、前記多層絶縁膜の最下層を構成し予め定めた所定の膜厚にまで厚さが削減されてなる肩部を有する第一の絶縁膜と、前記第一の絶縁膜と同種の絶縁膜からなり前記第一の絶縁膜の前記肩部の上に前記多層絶縁膜の開口内壁を覆うように形成された第二の絶縁膜からなる側壁と、を備えたことを特徴とする半導体装置。

【請求項5】前記第一の絶縁膜が酸化シリコン膜からなり、前記第一の絶縁膜の一部又は全部の厚さが略1～300nmの範囲にあることを特徴とする請求項3又は4記載の半導体装置。

【請求項6】前記コンタクトホール内にショットキー接合が形成されていることを特徴とする請求項3又は4記載の半導体装置。

【請求項7】前記コンタクトホール直下にp-n接合が形成されていることを特徴とする請求項3又は4記載の半導体装置。

【請求項8】絶縁膜を複数層積層して形成してなる多層絶縁膜に開口したコンタクトホール側の側面に、前記多層絶縁膜の最下層を構成する絶縁膜の一部又は全部を除き、前記多層絶縁膜を覆うように絶縁膜側壁を形成した後、ウェットエッチングにより前記コンタクトホールの底部まで開口することを特徴とする半導体装置の製造方法。

【請求項9】(a)半導体基板上に二種以上の絶縁膜を複数層積層して形成されて成る多層絶縁膜を、所望の位置が開口されたフォトリソパターンをマスクとしてドライエッチングにより、前記多層絶縁膜の最下層を構成する第一の絶縁膜の膜厚の一部または全部を残してエッチングして開口部を形成する工程と、

(b)前記フォトリソパターンを除去した後にCVD

2

法で前記第一の絶縁膜と同種の第二の絶縁膜を形成する工程と、

(c)前記第一の絶縁膜の残りの部分の一部又は全部を残し前記第二の絶縁膜の一部又は全部をドライエッチングでエッチバックして前記第二の絶縁膜からなる絶縁膜側壁を前記開口部に形成する工程と、

(d)前記開口部における前記第一の絶縁膜の残りの部分全部と前記絶縁膜側壁の一部とをウェットエッチングにより除去する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項10】前記第一の絶縁膜が酸化シリコン膜からなり、前記第一の絶縁膜の残りの部分の一部又は全部の厚さが略1～300nmの範囲にあることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】前記工程(d)におけるウェットエッチング終了後において前記開口部側面に凹凸が生じないような膜厚に、前記工程(b)において前記第二の絶縁膜が堆積されることを特徴とする請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に半導体装置におけるコンタクトホールの形成に関する。

【0002】

【従来の技術】従来、半導体装置表面を覆う絶縁膜にコンタクトホールを形成する場合、絶縁膜上の所望の位置が開口されたフォトリソパターンを形成した後、ドライエッチング法、又はウェットエッチング法により開口部に露出した絶縁膜を選択的に除去して、絶縁膜下のコンタクト面を露出させるという方法が用いられている。

【0003】ウェットエッチング法は等方性のエッチングであるため、サイドエッチが大きくなり、微細コンタクトの形成が難しく、またサイドエッチング量の制御が難しいことから、コンタクト開口面積の製造バラツキが大きくなるという問題を有している。

【0004】このため、微細なコンタクトホールの形成には、専ら異方性エッチングが可能なドライエッチング法が用いられている。

【0005】しかしながら、ドライエッチング法（例えば反応性イオンエッチング等）で異方性を高めようとした場合、コンタクト面に対し垂直方向に高い入射エネルギーを持ったイオンでスパッタリングすることが必要とされるため、コンタクト面のイオン衝撃によるダメージ（損傷）が大きくなり、p-n接合やショットキー接合のような、結晶欠陥に敏感な構造を有する素子の特性を著しく劣化させてしまうことになる。

【0006】このような場合には、コンタクト面へ与えるダメージの無いウェットエッチング法が有利となる

3

が、サイドエッチを小さく抑えるために、コンタクト面上の絶縁膜が10〜3000オングストローム（1〜300nm）程度になるまで、ドライエッチング法で開口した後、残りの絶縁膜をウェットエッチング法で除去するというドライエッチングとウェットエッチングの併用（並用）法が用いられることもある。

【0007】しかしながら、この併用法も、近年の高性能バイポーラプロセスのように、絶縁膜が、酸化膜及び窒化膜といった二種類以上の絶縁膜を複数層積層して形成されている場合には、必ずしも有効とはいえない。これを図面を参照して以下に詳細に説明する。

【0008】図6（A）乃至図7（F）は、近年の高性能バイポーラプロセスにおいて二種類以上の絶縁膜を積層することの必要性を説明するために、バイポーラトランジスタのベース、及びエミッタ形成工程を製造工程順に模式的に示した半導体チップの縦断面図である。なお、説明の便宜上、コレクタ部の形成工程は省略し、ベース、エミッタ部のみの形成工程について示してある。

【0009】図6（A）を参照して、シリコン基板1上に酸化シリコン膜（ SiO_2 ）2を介してベース電極となる高濃度にボロン（B）がドーパされたp⁺ポリシリコン3をベース電極形状に加工して形成した後、全面を窒化シリコン（ SiN ）膜4で覆い、更にp⁺ポリシリコン3上のエミッタを形成すべき部分が開口されたフォトレジスト5をマスクとして、窒化シリコン膜4とp⁺ポリシリコン3とを異方性エッチングにより除去される。

【0010】次に、酸化シリコン膜2をバッファード弗酸（buffered HF）を用いて選択的にエッチング除去した後、フォトレジスト5を剥離すると、図6（B）に示すような形状が得られる。即ち、バッファード弗酸は、酸化シリコン膜2を等方的にエッチングするため、開口部周辺のp⁺ポリシリコン3とシリコン基板1の間の酸化シリコン膜2がサイドエッチされ、隙間ができる。

【0011】次に、減圧CVD（LPCVD；Low Pressure Chemical Vapor Deposition、減圧化学気相堆積）法により全面にポリシリコン6を成長すると、この隙間が埋込まれ、図6（C）に示すように、p⁺ポリシリコン3とシリコン基板1とがポリシリコン6でつながることになる。

【0012】更に、図6（D）に示すように、ポリシリコン6を等方性エッチングで除去すると、図6（B）に示す工程において形成されたp⁺ポリシリコン3とシリコン基板1との隙間部分にのみポリシリコン6を残すことができ、微細なベース引き出し電極となる。

【0013】その後、熱処理によりp⁺ポリシリコン3の中のボロンをポリシリコン6を介してシリコン基板1内に拡散させると、ベース抵抗低減に有効なグラフトベース（図7（E）の7参照）が形成される。

4

【0014】また、窒化シリコン膜4をマスクとしてイオン注入等により、真性ベース（図7（E）の8参照）を形成することができる。

【0015】更に、減圧CVD法により酸化シリコン膜を成長させ異方性エッチングでエッチバックすると、図7（E）に示すように、酸化シリコン側壁9を開口部周辺に形成することができる。

【0016】そして、エミッタ電極となる高濃度に砒素（As）がドーパされたn⁺ポリシリコン10を形成し、ランプアニールにより真性ベース8の表面へ砒素を拡散させると、図7（F）に示すように、浅いエミッタ11が形成される。

【0017】以上のようにして形成されたベース及びエミッタは、図6（A）のフォトレジスト5で開口したパターンに対して、エミッタ、ベース、及びグラフトベースが自己整合的（self align）に形成され、微細で寄生容量の小さい高周波特性に優れたバイポーラトランジスタの実現を可能にしている。

【0018】ここで、酸化シリコン膜2は、バッファード弗酸で選択的にかつ容易に除去でき、また比較的 düşük 電率であることから、ベース電極となるp⁺ポリシリコン3の下地に用いられている。

【0019】また、窒化シリコン膜4は、図6（D）に示す工程においてポリシリコン6をエッチバックする際、及び図7（E）に示す工程において酸化シリコン側壁9を形成する際に、p⁺ポリシリコン3の表面保護として機能するため、図6（B）に示す工程で酸化シリコン膜2を除去する際にエッチングされない材料として用いられている。

【0020】更に、上層に金属配線を形成する場合、配線容量の増加を抑える目的で、層間膜としては、図7（F）に示すように、酸化シリコン膜12が用いられることが多い。この場合、シリコン基板1上の層間膜は、酸化シリコン膜12／窒化シリコン膜4／酸化シリコン膜2のサンドイッチ構造になる。

【0021】図8（A）乃至図9（E）は、このような多層構造の層間膜に対し、ドライエッチングとウェットエッチングの併用法でコンタクトを開口した場合の問題点を詳細に説明するために、製造工程順に模式的に示した半導体チップの縦断面図である。

【0022】図6（A）乃至図7（F）の工程に従いバイポーラトランジスタを形成すると、前記の如く、シリコン基板1上の層間膜は、図8（A）に示すように、酸化シリコン膜12／窒化シリコン膜4／酸化シリコン膜2の3層構造となる。

【0023】ここで、図8（B）に示すように、所望の位置が開口されたフォトレジストパターン13をマスクとして異方性のドライエッチングで、酸化シリコン膜12、及び窒化シリコン膜4を開口し、更に酸化シリコン膜2の途中までを開口して、開口部の底に酸化シリコン膜2

5

を数百オングストローム(数十nm)程残すようにする。

【0024】次に、この開口部の底の酸化シリコン膜2を除去してコンタクト面になるシリコン基板1の表面を露出させるために、バッファード弗酸でウェットエッチングを行うと、図8(C)に示すように、酸化シリコン膜2及び酸化シリコン膜12がともにサイドエッチされ、バッファード弗酸に対してエッチレートの高い窒化シリコン膜4の底29がコンタクトホール内に形成される。

【0025】このような状態で、フォトレジスト13を除去した後、チタン(Ti)等のバリア金属15をスパッタリング法で形成すると、窒化シリコン膜4の底29のために、図9(D)に示すように、コンタクト周辺部(コンタクトホール底部の外周近傍)16において、バリア金属15はその膜厚が中心部と比べて薄くなるか、あるいは全くスパッタされない状態となる。

【0026】そして、1 μ m以下の微細なコンタクトになると、この傾向は特に顕著になる。

【0027】微細なコンタクトにおいては、その後、CVD法により例えばタングステン(W)等の金属(「プラグ金属」という)をコンタクトホール内に埋め込む方法(「プラグ技術」ともいう)が用いられ、バリア性を確保している。

【0028】図9(E)には、CVD法で形成したプラグ金属をエッチバックしてコンタクトホール内に金属プラグ17(例えばWの場合「Wプラグ」という)を形成した後、アルミニウム(Al)等の配線金属18をスパッタリング法で形成した後、フォトリソグラフィにより配線金属18を所望の配線形状にパターニングした状態が示されている。

【0029】図9(E)に示すように、CVD法でコンタクトホール内にプラグ金属を埋設した場合でも、バリア金属15が形成されていないコンタクト周辺16には、金属が成長し難く、このため空洞ができ易い。

【0030】また、コンタクト周辺16のシリコン基板1上にもプラグ金属が薄く成長するため、この領域では、金属プラグ17がバリア金属15を介さずに直接シリコン基板1に接することになる。

【0031】従って、コンタクト周辺16において、金属プラグ17又は配線金属18に対するバリア性が低下し、シリコン基板1中への金属のマイグレーションが発生し易くなり、デバイスの信頼性上問題となる。

【0032】

【発明が解決しようとする課題】以上説明したように、従来のドライエッチングのみを用いて絶縁膜上にコンタクトホールを開く場合には、微細なコンタクトを寸法精度良く開口しようとする、異方性を強くすることが必要とされ、このためコンタクト直下へのダメージが大きくなり、その結果、ショットキー接合を形成する場合や、コンタクト直下にp-n接合が形成されている場合に、接合リークが発生し、デバイス特性が劣化すると

6

という問題があった。

【0033】また、このような場合の対策として、従来、開口部底部の絶縁膜の残膜が100~3000オングストローム(10~300nm)程度になるまで異方性のドライエッチングでエッチングした後、残膜をダメージのないウェットエッチングによりエッチングするといったドライエッチング及びウェットエッチングの併用法が用いられていた。

【0034】しかしながら、この併用法では、絶縁膜が酸化シリコン膜/窒化シリコン膜といった多層膜からなる場合、ウェットエッチングにおけるサイドエッチ量が各層で異なり、その結果、コンタクトホール側面(内壁)に凹凸が発生してしまう。

【0035】微細なコンタクトにおける、このようなコンタクトホール側面の凹凸は、コンタクトホール内に配線金属のマイグレーションを抑える目的で形成されるバリア金属のカバレッジを著しく低下させ、デバイスの信頼性を低下させるという問題があった。

【0036】従って、本発明の目的は、上記従来技術の問題点を解消し、二種以上の絶縁膜から成る多層絶縁膜にコンタクトホールを開く際に、エッチングダメージを軽減するためにウェットエッチを行ってもコンタクト側面に凹凸ができずにデバイスの信頼性を向上するコンタクト形成を可能とする半導体装置及びその製造方法を提供することにある。

【0037】

【課題を解決するための手段】前記目的を達成するため、本発明は、絶縁膜を複数層積層してなる多層絶縁膜に開口したコンタクトホールの側面に、前記多層絶縁膜の最下層を構成する絶縁膜の一部又は全部を除き前記多層絶縁膜を覆う絶縁膜側壁を備えたことを特徴とする半導体装置を提供する。

【0038】本発明に係る半導体装置は、好ましくは、半導体基板上に二種以上の絶縁膜を複数層積層してなる多層絶縁膜を有し、前記多層絶縁膜を貫き前記半導体基板に達するコンタクトホールが開口されてなる半導体装置において、前記コンタクトホールの側面部のうち、前記多層絶縁膜の最下層を構成する第一の絶縁膜の一部又は全部を除いた部分が前記第一の絶縁膜と同種の絶縁膜から成る絶縁膜側壁で覆われていることを特徴とする。

【0039】また、本発明は、絶縁膜を複数層積層して形成してなる多層絶縁膜に開口したコンタクトホールの側面に、前記多層絶縁膜の最下層を構成する絶縁膜の一部又は全部を除き、前記多層絶縁膜を覆うように絶縁膜側壁を形成した後、ウェットエッチングによりコンタクトホール底部まで開口することを特徴とする半導体装置の製造方法を提供する。

【0040】本発明に係る半導体装置の製造方法は、(a)半導体基板上に二種以上の絶縁膜を複数層積層して形成されて成る多層絶縁膜を、所望の位置が開口された

7

フォトレジストパターンをマスクとしてドライエッチングにより、前記多層絶縁膜の最下層を構成する第一の絶縁膜の一部または全部を残してエッチングして開口部を形成する工程と、(b)前記フォトレジストパターンを除去した後にCVD法で前記第一の絶縁膜と同種の第二の絶縁膜を形成する工程と、(c)前記第一の絶縁膜の残りの部分の一部又は全部を残し前記第二の絶縁膜の一部又は全部をドライエッチングでエッチバックして前記第二の絶縁膜からなる絶縁膜側壁を前記開口部に形成する工程と、(d)前記開口部における前記第一の絶縁膜の残りの部分全部と前記絶縁膜側壁の一部とをウェットエッチングにより除去する工程と、を含むことを特徴とする。

【0041】本発明においては、酸化シリコン膜及び窒化シリコン膜といった二種以上の相異なる絶縁膜が複数層積層されてなる多層層間絶縁膜にコンタクトホールを開く際に、①異方性ドライエッチングにより、その多層層間絶縁膜を構成する最下層の絶縁膜を好ましくは10～3000オングストローム程度残すように上方の絶縁膜層を開口した後、②最下層の絶縁膜と同種の絶縁膜を堆積させ、再度異方性のドライエッチングでコンタクトホール底部に絶縁膜を好ましくは10～3000オングストローム程度残すようにエッチバックしてコンタクトホール側面に絶縁膜側壁を形成し、更に③コンタクトホール底部の絶縁膜の残膜をウェットエッチングにより除去して形成するため、コンタクトホール側面が絶縁膜側壁で覆われ、ウェットエッチング後もコンタクトホール側面に凹凸が形成されることはない。

【0042】

【発明の実施の形態】本発明の実施の形態を図面を参照して以下に説明する。

【0043】図1(A)乃至図2(E)は、本発明の一実施形態に係るコンタクトホールの形成方法の一例を説明するために製造工程順に模式的に示した半導体チップの縦断面図である。

【0044】本実施形態においては、一例として前記従来例で説明した図6(A)乃至図7(F)の製造工程フローに従いバイポーラトランジスタを形成した後、別の位置にシリコン基板1に達するコンタクトホールを形成する場合を考える。この場合、シリコン基板1上には、酸化シリコン膜2、窒化シリコン膜4、及び酸化シリコン膜12からなる3層層間絶縁膜がこの順に形成されている。

【0045】ここでまず、図1(A)に示すように、所望のコンタクト位置が開口されたフォトレジスト13をマスクとして異方性のドライエッチングにより、酸化シリコン膜12、及び窒化シリコン膜4を開口し、更に異方性のドライエッチングにより酸化シリコン膜2を膜厚の途中まで開口して開口部の底に酸化シリコン膜2を10～3000オングストローム(1～300nm)程度残すようにする。

8

【0046】この開口部の底における酸化シリコン膜2の残膜の膜厚は、異方性ドライエッチングによるシリコン基板1の表面へのダメージ(損傷)を抑えるのに十分な膜厚に設定することが必要とされ、ドライエッチングの条件に依存する。

【0047】次に、全面に酸化シリコン膜を減圧CVD法により成長し、異方性のドライエッチングによりエッチバックして、コンタクト開口部側面に、図1(B)に示すような酸化シリコン側壁14を形成する。その際、開口部の底に10～3000オングストローム程度の酸化シリコン膜を残すようにして、シリコン基板1の表面へのダメージを抑えるようにする。

【0048】次に、図1(C)に示すように、バッファード弗酸によるウェットエッチングで開口部の底に残った酸化シリコン膜2の残膜を除去し、コンタクト面となるシリコン基板1の表面を露出させる。その際、同じ酸化シリコン膜で形成した酸化シリコン側壁14もエッチングされるため、このウェットエッチング後も、コンタクト側面に酸化シリコン側壁14が残るように予め酸化シリコン側壁14の厚さを設定しておく。

【0049】なお、一般に、バッファード弗酸に対する酸化シリコン膜のエッチレート(エッチングレート)はその形成方法によって相違し、熱酸化により形成された酸化シリコン膜が最も遅い。

【0050】そして、シリコン基板1の表面に形成される酸化シリコン膜2は通常熱酸化で形成されるため、CVD膜である酸化シリコン側壁14のエッチレートは、酸化シリコン膜2のエッチレートよりも一般的に速い。

【0051】しかしながら、800℃以上の高温で成長したCVD膜は、熱酸化膜のエッチレートに近くなり、またCVD成長時にボロン等の不純物を混入させることにより、エッチレートを遅くすることもできる。

【0052】酸化シリコン側壁14の厚さの設定には、このようなエッチレート差も考慮する必要があるが、酸化シリコン側壁14のバッファード弗酸に対するエッチレートが酸化シリコン膜2のエッチレートより遅くならない限り、本発明の目的は完璧に達成される。すなわち、逆に、酸化シリコン側壁14のバッファード弗酸に対するエッチレートが酸化シリコン膜2のエッチレートより遅くなると、例えば図1(C)において、ウェットエッチングにより酸化シリコン側壁14の直下の酸化シリコン膜2が先に除去されてしまい、コンタクトホール側面に段差が生じる場合がある(この場合、酸化シリコン側壁14がコンタクト周辺部を覆う庇となる)。

【0053】また、酸化シリコン側壁14の厚さの設定には、酸化シリコン膜2の残膜の膜厚のバラツキも考慮する必要がある。例えば酸化シリコン膜2、窒化シリコン膜4、及び酸化シリコン膜12の膜厚が各々2000オングストローム(200nm)で、シリコン基板上で±5%ばらついていていたとすると、合計膜厚は最悪ケースで5700～6300

オングストローム(570~630nm)となる。

【0054】ここに、コンタクトを開口する際、ドライエッチングにおけるイオン衝撃によるコンタクト面のダメージ(損傷)を低減するために100オングストローム(10nm)以上に酸化シリコン膜2を残す必要があるものとし、この時のドライエッチングの各層に対するエッチングレートがシリコン基板上で±5%ばらついていたとすると、酸化シリコン膜2の残膜の膜厚は最悪ケースで100~1260オングストローム(10~126nm)となる。

【0055】従って、このようなケースでは、酸化シリコン側壁14の膜厚は1260オングストローム(126nm)以上に設定する必要がある、ウェットエッチングのオーバーエッチ分を考慮して1800オングストローム(180nm)程度に設定すれば十分である。

【0056】また、上記した例のように層間絶縁膜の最上層が最下層と同じ酸化シリコン膜で形成されているような場合、ウェットエッチングされるため、この膜減り分を考慮して酸化シリコン膜12の膜厚を予め厚く設定しておく。

【0057】以上により、コンタクトホール側面部は凹凸の無い酸化シリコンで覆われた構造になるため、その後全面にバリアメタルをスパッタしても、図2(D)に示すように、コンタクト底部全体にバリアメタル15を形成することができる。

【0058】従って、図2(E)に示すように、CVD法によるメタルプラグ17の埋設性も良好になり、かつ信頼性の高いコンタクトを形成することができる。

【0059】次に、このようにして形成されたコンタクトホールを適用した半導体素子の例を図面を参照して説明する。

【0060】図3は、本発明の第2の実施形態として、上記本発明の第1の実施形態に係るコンタクトホールを適用してなるショットキー接合型ダイオードの構成例を示す半導体チップの縦断面図である。

【0061】図3を参照して、p型シリコン基板1の内部に予めn⁺埋込層20を形成しておき、その上をn⁻エピタキシャル層21で覆い、素子領域を絶縁トレンチ19で囲むことにより、他の素子との絶縁を行なっている。

【0062】n⁻エピタキシャル層21内を貫くn⁺引き出し層22、及びn⁺埋込層20でカソード側の低抵抗層を構成し、カソード側の寄生抵抗を低減している。

【0063】基板表面を覆う酸化シリコン膜2、窒化シリコン膜4、及び酸化シリコン膜12からなる3層絶縁膜を貫いて、n⁺引き出し層22、及びn⁻エピタキシャル層21に達する2個のコンタクトホールが形成され、それぞれ、バリアメタル15、メタルプラグ17、配線メタル18から成るカソード電極28及びアノード電極27に接続されている。

【0064】バリアメタル15とn⁺引き出し層22の界面、及びバリアメタル15とn⁻エピタキシャル層21の界

面は、共にシリサイド化されているが、高濃度にn型不純物が添加されているn⁺引き出し層22の界面がオーミック接合25を形成しているのに対し、低濃度のn⁻エピタキシャル層21の界面はショットキー接合23を形成している。

【0065】両コンタクトは同時に形成されるため、ともに本発明の実施形態の特徴とされる酸化シリコン側壁14が形成されているが、ショットキー接合の方がイオン衝撃による損傷に対して敏感であるため、ドライエッチングの際にコンタクトホールの底に残す酸化シリコン膜の残膜の膜厚(酸化シリコン側壁14の下の酸化シリコン膜2の膜厚に相当)は、ショットキー接合の特性を劣化させないように、100~3000オングストローム(10~300nm)程度に設定しておくことが必要とされる。

【0066】図4は、本発明の第3の実施形態として、上記第1の実施形態に係るコンタクトホールを適用して成るp-n接合型ダイオードの構成例を示す半導体チップの縦断面図である。

【0067】図4を参照して、カソード側の構造は図3に示したショットキー接合型ダイオードと全く同一である。

【0068】p-n接合型ダイオードの場合、アノード側にp型層26で形成され、n⁻エピタキシャル層21との間にp-n接合24を形成している。このp-n接合の直上にアノード電極27に接続するコンタクトホールが形成されており、このコンタクトホール形成時のドライエッチングのダメージにより、p-n接合の特性を劣化させないように、ドライエッチングでコンタクト底に残す酸化シリコン膜2の残膜の膜厚を設定しておく必要がある。

【0069】一般に、ドライエッチングによるダメージ層は、シリコン基板1の極表面に形成されるため、コンタクト開口面に接合が形成されるショットキー接合型ダイオードと比べ、コンタクト開口面より500~5000オングストローム程度深い位置に接合が形成されるp-n接合型ダイオードの方が、ドライエッチングによるダメージの影響は小さい。

【0070】このため、ドライエッチングでコンタクトホールの底に残す酸化シリコン膜2の膜厚を10~1000オングストローム(1~100nm)と薄くすることができる。従って、ウェットエッチングにおけるエッチング量を小さくすることができるため、ウェットエッチングのサイドエッチによるコンタクトサイズの変動を小さく抑えることができる。

【0071】但し、同一シリコン基板上にショットキー接合ダイオードとp-n接合ダイオードが形成され、同時にコンタクトホールを開口する場合、ショットキー接合へのダメージを考慮して条件を設定しておく必要がある。

【0072】本発明は別の実施形態として、互いに深さ

11

の異なる複数のコンタクトホールを同時に開口することも可能とする。

【0073】図5は、本発明の第4の実施形態として、深さの異なる複数のコンタクトホールを有するバイポーラトランジスタに、上記第1の実施形態を適用した構成の一例を示す半導体チップの縦断面図である。

【0074】図5を参照して、ベース及びエミッタは、図6及び図7に示した形成方法で形成されている。素子間絶縁、及びコレクタ部は、図3に示したショットキー接合型ダイオードのカソード部と同じ構造になっている。

【0075】コレクタ電極30が形成されるコンタクトホールは、酸化シリコン膜12、窒化シリコン膜4、及び酸化シリコン膜2を貫いて開口され n^+ 引き出し層22表面に達している。このように、コレクタ部におけるコンタクトホールは n^- エピタキシャル層21 (n^+ 引き出し層22)の表面まで達しているのに対し、ベース電極31及びエミッタ電極32のコンタクトホールは、それぞれ、酸化シリコン膜12及び窒化シリコン膜4を貫いて p^+ ポリシリコン3に、酸化シリコン膜12を貫いて n^+ ポリシリコン10に達する浅いコンタクトホールになっている。

【0076】このため、この構造のバイポーラトランジスタと、図2に示したショットキー接合型ダイオードを同一シリコン基板上に形成し、本発明の上記実施形態に従いコンタクトホールを同時に開口した場合、コレクタ部においては、ショットキー接合型ダイオードと同様にコンタクト面をウェットエッチングで露出させることができるが、コンタクトホールの浅いベース及びエミッタ部はドライエッチングのみでコンタクト面が露出することになる。

【0077】但し、これらベース部及びエミッタ部のコンタクト面は p^+ ポリシリコン3及び n^+ ポリシリコン10であり、ドライエッチングのダメージの問題は考慮する必要はない。むしろ、このようなコンタクトホールの深さが異なる場合に問題となるのは、エッチングの選択性である。

【0078】異方性の強いドライエッチングの場合、選択性が小さくなる傾向があり、オーバエッチングによりポリシリコンのコンタクト面が削られ、このためコンタクト部のポリシリコンの膜厚が薄くなり、コンタクト抵抗を増加させるという問題がある。

【0079】このようなドライエッチングのみで最も深いコレクタ部をエッチングした場合には、ベース電極31部は酸化シリコン膜2のエッチング分、エミッタ電極32部は酸化シリコン膜2及び窒化シリコン膜9のエッチング分が余分にドライエッチング雰囲気中に晒されることになる。

【0080】また、通常シリコン基板面内のエッチングレートのバラツキや層間膜の膜厚バラツキを考慮して追加されるオーバーエッチングもこれに追加される。

12

【0081】本発明の実施形態においては、ドライエッチングを酸化シリコン膜2の途中までしか行なわないため、コンタクトホール底部に残す酸化シリコン膜のエッチング分と通常のオーバーエッチング分だけ、ポリシリコン表面がドライエッチング雰囲気中に晒される時間を短くできる。

【0082】このため、本発明の実施形態は、ドライエッチングのみでコンタクトホールを開口する場合に比べ、深さの異なるコンタクトホールを同時に開口する場合に発生する問題を軽減することができる。

【0083】図5に示した本発明の実施形態においては、層間膜の最上層に酸化シリコン膜12が用いられているが、メタル配線直下の層間膜には配線の段切れ防止のために、平坦化に有効なリフロー性の高いBPSG (Borophosphosilicate glass) 膜等がよく用いられる。また、高性能性に優れたバイポーラトランジスタでは、浅い接合を制御よく形成することを目的として、 n^+ ポリシリコン10からなる n 型不純物を拡散させてエミッタ11を形成するための熱処理を施す際に、コンタクトホールを開口した後にトランジスタ特性をモニタしながら行なうという方法が用いられる。その際、層間膜の最上層がBPSG膜で形成されていると、エミッタ形成の際の熱処理でBPSG膜がリフローされ、コンタクトホール内へオーバーハング状に突出することがある。

【0084】しかしながら、本発明の上記実施形態によれば、コンタクトホール側面に酸化シリコン側壁14が形成されているため、コンタクトホール内へのBPSGの突出が起こらず、バリアメタル15を良好なカバレッジで形成することができる。

【0085】以上、本発明を上記実施形態に即して説明したが、本発明は上記形態にのみ限定されず、本発明の原理・精神に基づく全ての形態及び変形を含む。

【0086】

【発明の効果】以上説明したように、本発明によれば、多層層間絶縁膜にコンタクトホールを開口する際に、①異方性のドライエッチングによりその多層層間絶縁膜を構成する最下層の絶縁膜を10~3000オングストローム残すように開口した後、②最下層の絶縁膜と同種の絶縁膜を堆積させ、再度異方性のドライエッチングでコンタクトホール底部に10~3000オングストローム残してエッチバックすることによりコンタクトホール側面を絶縁膜側壁で覆い、更に③コンタクトホール底部の絶縁膜をウェットエッチングにより除去して形成するようにしたことにより、コンタクトホール直下にドライエッチングによるダメージを与えることなく良好な接合特性を有する半導体素子の形成を可能にしている。

【0087】また、本発明によれば、コンタクトホールは、ホール側面が多層層間絶縁膜の最下層と同種の絶縁膜側壁で覆われているため、多層層間絶縁膜を構成する絶縁膜のエッチレート差や、リフロー性の相違に起因し

13

た凹凸がコンタクトホール側面に形成されず、コンタクトホール内のバリアメタルのカバレッジを良好なものとし、デバイスの信頼性の低下を回避するという効果を有する。

【0088】更に、本発明によれば、ドライエッチングとウェットエッチングの2段階エッチングにより、深さの異なる複数のコンタクトホールを開口する際にドライエッチングの選択性に起因して生じる問題を軽減することもできる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る製造方法を説明するために主要な製造工程を工程順に模式的に示した半導体チップの縦断面図である。

【図2】本発明の一実施形態に係る製造方法を説明するために工程順に模式的に示した半導体チップの縦断面図である。

【図3】本発明の第2の実施形態に係る半導体チップの構成を説明するための縦断面図である。

【図4】本発明の第3の実施形態に係る半導体チップの構成を説明するための縦断面図である。

【図5】本発明の第4の実施形態に係る半導体チップの構成を説明するための縦断面図である。

【図6】多層層間絶縁膜を有するバイポーラトランジスタの電極（ベース及びエミッタ）形成方法を説明するために主要製造工程を工程順に示した半導体チップの縦断面図である。

【図7】多層層間絶縁膜を有するバイポーラトランジスタの電極（ベース及びエミッタ）形成方法を説明するために主要製造工程を工程順に示した半導体チップの縦断面図である。

【図8】多層構造の層間膜に対し、従来のドライエッチングとウェットエッチングの併用法でコンタクトを開口した場合の問題点を説明するために、製造工程順に模式的に示した半導体チップの縦断面図である。

【図9】多層構造の層間膜に対し、従来のドライエッチ

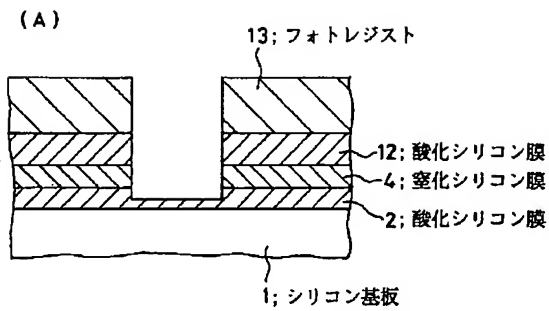
14

ングとウェットエッチングの併用法でコンタクトを開口した場合の問題点を説明するために、製造工程順に模式的に示した半導体チップの縦断面図である。

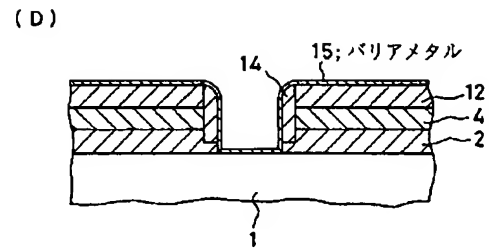
【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン膜
- 3 p⁺ポリシリコン
- 4 窒化シリコン膜
- 5 フォトレジスト
- 10 6 ポリシリコン
- 7 グラフトベース
- 8 真性ベース
- 9 酸化シリコン側壁
- 10 n⁺ポリシリコン
- 11 エミッタ
- 12 酸化シリコン膜
- 13 フォトレジスト
- 14 酸化シリコン側壁
- 15 バリアメタル
- 20 16 コンタクト周辺部
- 17 メタルプラグ
- 18 配線メタル
- 19 絶縁トレンチ
- 20 n⁺埋込層
- 21 n⁻エピタキシャル層
- 22 n⁺引き出し層
- 23 ショットキー接合
- 24 p-n接合
- 25 オーミック接合
- 30 27 アノード電極
- 28 カソード電極
- 30 コレクタ電極
- 31 ベース電極
- 32 エミッタ電極

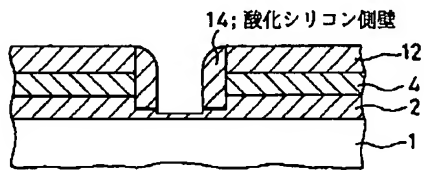
【図1】



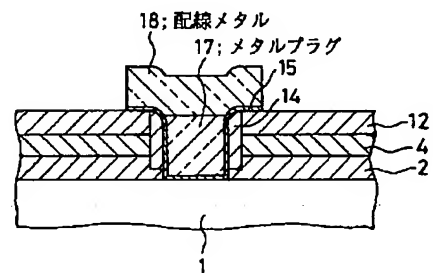
【図2】



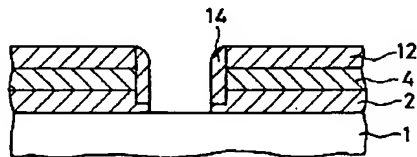
(B)



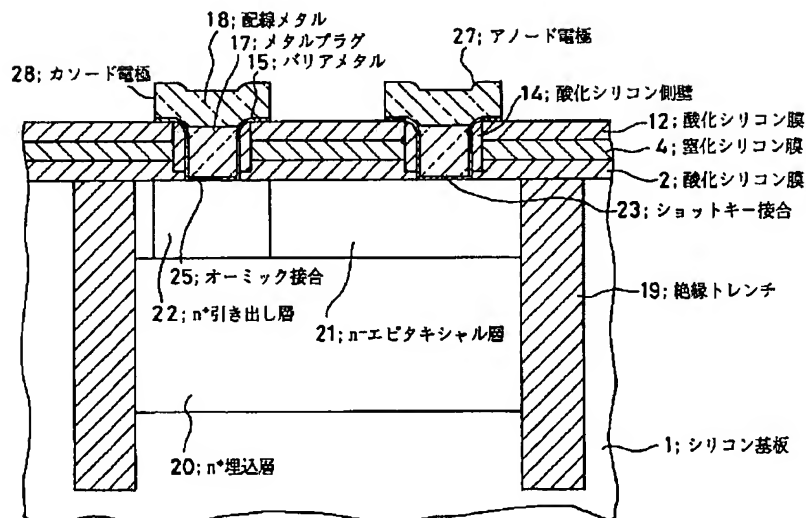
(E)



(C)



【図3】



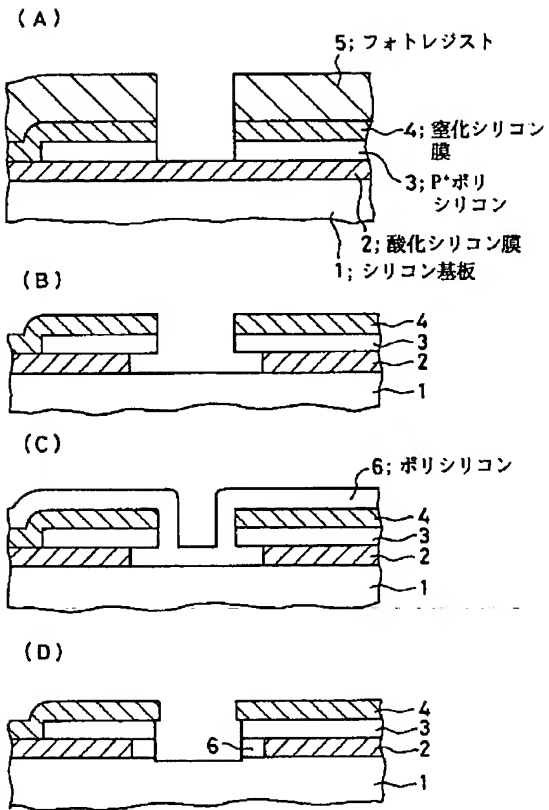
1; シリコン基板
2; 酸化シリコン膜
4; 窒化シリコン膜
12; 酸化シリコン膜
14; 酸化シリコン側壁
15; バリアメタル
17; メタルプラグ
18; 配線メタル
19; 絶縁トレンチ
20; n⁺埋込層
21; n⁺エピタキシャル層
22; n⁺引き出し層
24; P-n 接合
25; オームミック接合
26; P 層
27; アノード電極
28; カソード電極

30:コレクタ電極

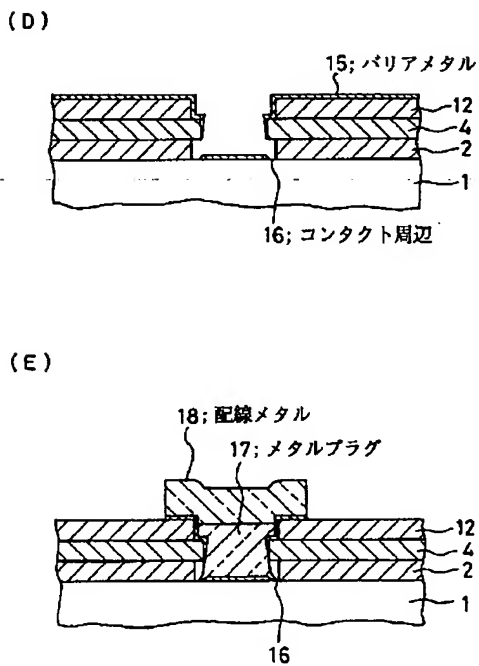
32:エミッタ電極

31:ベース電極

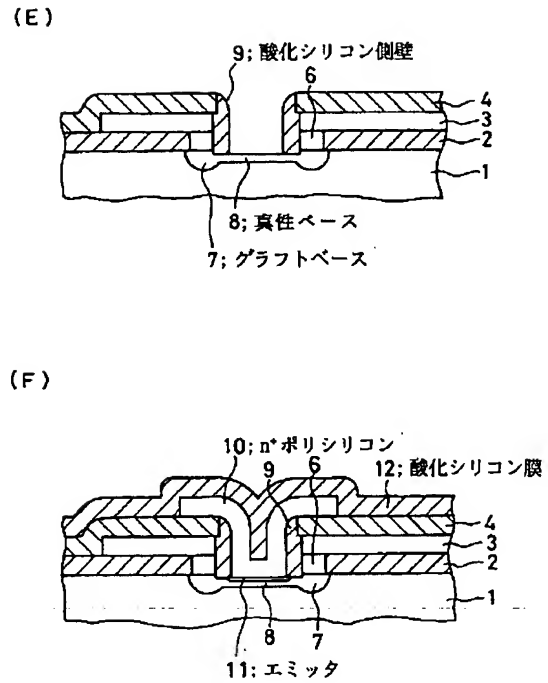
【図6】



【図9】



【図7】



【図8】

